

POLUPROVODNIČKE KOMPONENTE

Vežbe na računaru

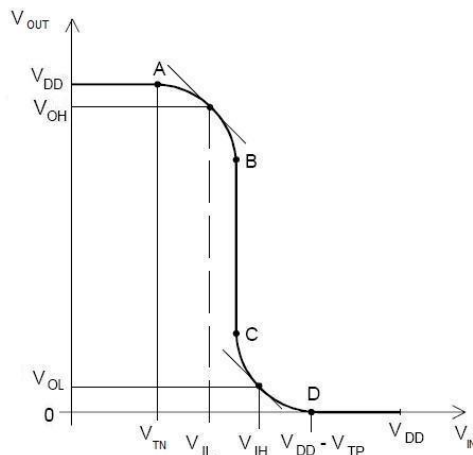
VEŽBA 7

MOS inverter

UVODNE NAPOMENE

Vežba prikazuje rad MOS tranzistora kao invertora. Osnovnu konfiguraciju predstavlja NMOS inverter sa pasivnim opterećenjem (otpornikom). Njegova modifikacija je NMOS inverter sa dinamičkim opterećenjem (opterećenje je PMOS tranzistor koji radi kao izvor konstantne struje). Najefikasnija konfiguracija je CMOS (Complementary MOS) inverter koji predstavlja elementarno kolo u digitalnim sistemima. Sastoji se od uparenih NMOS i PMOS tranzistora na čije se izvode gejta dovodi ulazni signal dok se izlazni signal uzima sa izvoda drejna tranzistora.

Prenosna karakteristika MOS invertora je data na slici sa označenim naponskim nivoima važnim za njegovo pravilno funkcionisanje.



Stanje niskog naponskog nivoa do vrednosti V_L se smatra stanjem logičke 0, dok se stanje visokog naponskog nivoa iznad vrednosti V_H smatra stanjem logičke 1. Između ovih vrednosti je nedefinisano stanje odnosno prelazni režim invertora.

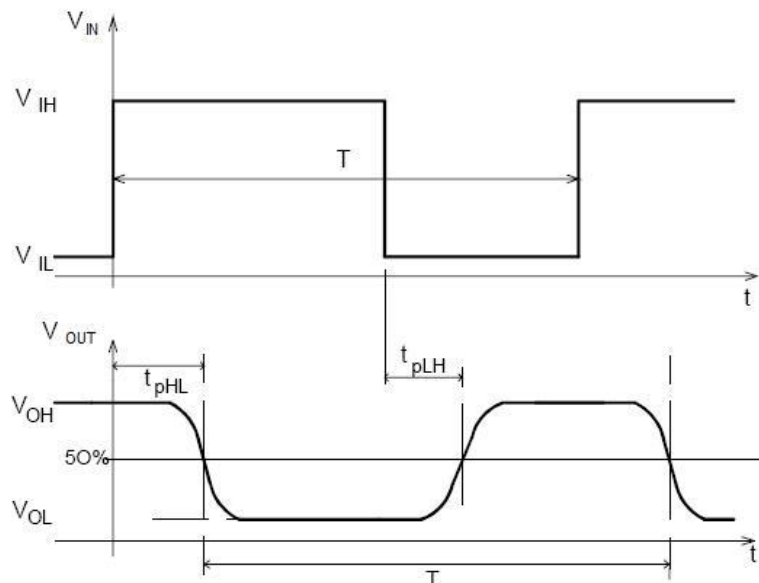
U idealnom slučaju $V_{OH}=V_{DD}$ i $V_{OL}=0V$.

Margine šuma:

$$NM_H = V_{OH} - V_{IH}$$

$$NM_L = V_{IL} - V_{OL}$$

U vremenskom domenu kašnjenje izlaznog signala u odnosu na ulazni signal je definisano kao na slici:



t_{pHL} – kašnjenje izlaznog signala pri prelazu iz stanja visokog naponskog nivoa (logičke 1) u stanje niskog naponskog nivoa (logičke 0).

t_{pLH} – kašnjenje izlaznog signala pri prelazu iz stanja niskog naponskog nivoa (logičke 0) u stanje visokog naponskog nivoa (logičke 1).

POLUPROVODNIČKE KOMPONENTE

Vežbe na računaru

Student: _____

Broj indeksa: _____

Datum: _____

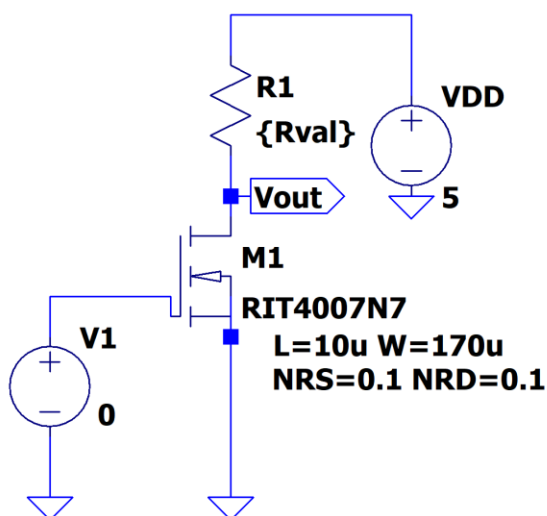
VEŽBA 7

MOS inverter

UPUTSTVO ZA RAD

NMOS inverter sa pasivnim opterećenjem

- 1) Pokrenuti program *LTSpice*, kreirati novi simulacioni fajl (New Schematics), izabrati odgovarajuće mesto za zapis fajlova i dati ime simulacionom fajlu npr. „MOS-invertor“.
- 2) Konstruisati NMOS invertorsko kolo kao na slici.



```
.dc v1 0 5 0.01
.step param Rval list 1k 5k 10k 20k 50k
```

- 3) *SPICE* modelu NMOS tranzistora dodati konkretne vrednosti dužine i širine kanala ($L=10\ \mu\text{m}$, $W=170\ \mu\text{m}$) i poprečnog preseka difuzije sorsa i drejna ($NRS=0.1$, $NRD=0.1$).
- 4) Iz liste komandi izabrati Simulate → Edit Simulation Cmd i DC Sweep analizu u kojoj se vrednost izvora V1 menja od 0 do 5V sa korakom od 0.01V. Vrednost otpornika Rval zadati na osnovu liste vrednosti.
- 5) Pokrenuti simulaciju i posmatrati vrednost napona na drejnu NMOS tranzistora (Vout). (Prenosna karakteristika invertora).

Kako zavisi pojačanje invertora od vrednosti otpornosti R1?

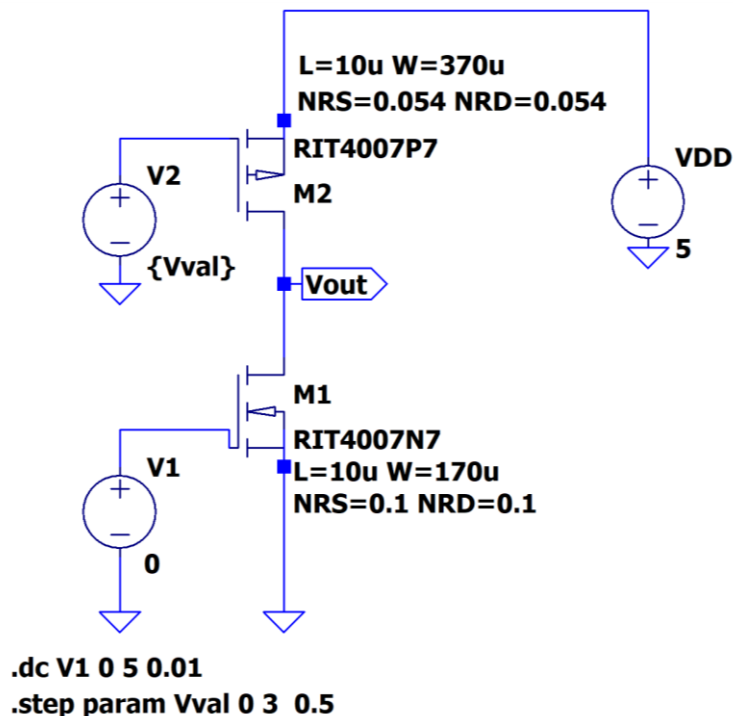
Poželjno je da R1 ima što _____ vrednost.

Posmatrati vrednosti snaga disipiranih na NMOS tranzistoru i otporniku R1.

Ova disipacija postoji za opseg vrednosti ulaznog napona _____.

NMOS inverter sa aktivnim opterećenjem

- 1) Umesto pasivnog otpornika R1 postaviti PMOS tranzistor.
- 2) *SPICE* modelu PMOS tranzistora dodati konkretne vrednosti dužine i širine kanala ($L=10\ \mu\text{m}$, $W=360\ \mu\text{m}$) i poprečnog preseka difuzije sorsa i drejna ($NRS=0.054$, $NRD=0.054$).
- 3) Napon na gejtu PMOS tranzistora V2 menjati na osnovu opsega vrednosti 0-3V sa korakom 0.5V.



- 4) Pokrenuti simulaciju i posmatrati vrednost napona na drejnu NMOS tranzistora (Prenosna karakteristika invertora).

Koja je najmanja vrednost napona V2 koja obezbeđuje pravilan rad invertora?

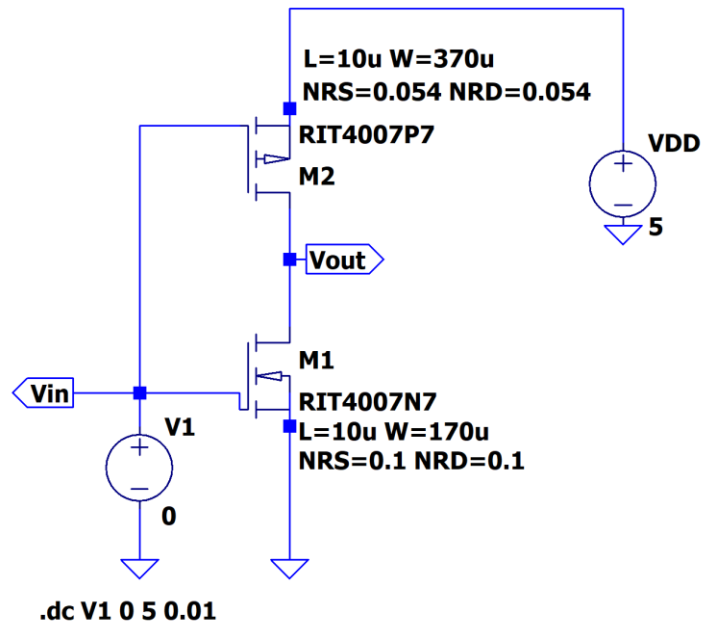
$V_{2min} =$ _____

Posmatrati vrednosti snaga disipiranih na tranzistorima za vrednosti napona V2 koje obezbeđuju pravilan rad invertora.

Ova disipacija postoji za opseg vrednosti ulaznog napona _____.

CMOS inverter

1) Povezati gejt PMOS tranzistora na naponski izvor V1. Time je formiran CMOS inverter.



2) Pustiti simulaciju i posmatrati napon na izlazu kola (Vout) (Prenosna karakteristika invertora).

Određiti margine šuma ovog CMOS kola.

$V_{IL} =$ _____ $V_{IH} =$ _____
 $V_{OL} =$ _____ $V_{OH} =$ _____
 $NM_L =$ _____ $NM_H =$ _____

3) Posmatrati vrednost snage disipirane na tranzistorima.

Ova disipacija postoji za opseg vrednosti ulaznog napona _____.

4) Postaviti izvor ulaznog napona V1 da daje pravougaone impulsne signale amplitude 5V sa vremenom porasta i opadanja signala od 1ps i periodom od 20 μ s ($f=50$ kHz). Postaviti tip analize na simulaciju u vremenskom domenu (transient) sa krajem prikaza rezultata posle 50 μ s. (.tran 50u).

5) Pustiti simulaciju i posmatrati napon na ulazu kola V1 i napon na izlazu kola (Vout).

Određiti t_{pHL} – kašnjenje izlaznog signala pri prelazu iz logičke 1 u logičku 0 i t_{pLH} – kašnjenje izlaznog signala pri prelazu iz logičke 0 u logičku 1 kao i propagaciono kašnjenje CMOS invertora.

$t_{pHL} =$ _____ $t_{pLH} =$ _____

$t_p =$ _____

6) KRAJ