

POLUPROVODNIČKE KOMPONENTE

Laboratorijske vežbe

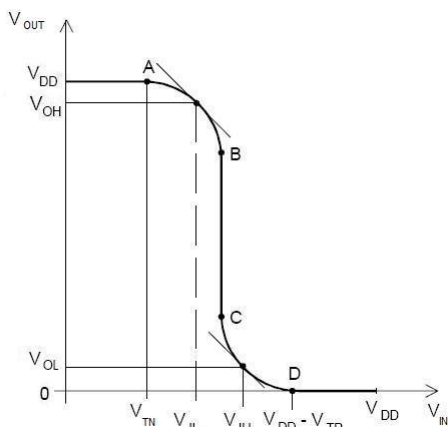
VEŽBA 6

MOS inverter

UVODNE NAPOMENE

Vežba prikazuje rad MOS tranzistora kao invertora. Osnovnu konfiguraciju predstavlja NMOS invertor sa pasivnim opterećenjem (otpornikom). Najefikasnija konfiguracija je CMOS (Complementary MOS) invertor koji predstavlja elementarno kolo u digitalnim sistemima. Sastoji se od uparenih NMOS i PMOS tranzistora na čije se izvode gejta dovodi ulazni signal dok se izlazni signal uzima sa izvoda drejna tranzistora.

Prenosna karakteristika MOS invertora je data na slici sa označenim naponskim nivoima važnim za njegovo pravilno funkcionisanje.



Stanje niskog naponskog nivoa do vrednosti V_L se smatra stanjem logičke 0, dok se stanje visokog naponskog nivoa iznad vrednosti V_H smatra stanjem logičke 1. Između ovih vrednosti je nedefinisano stanje odnosno prelazni režim invertora.

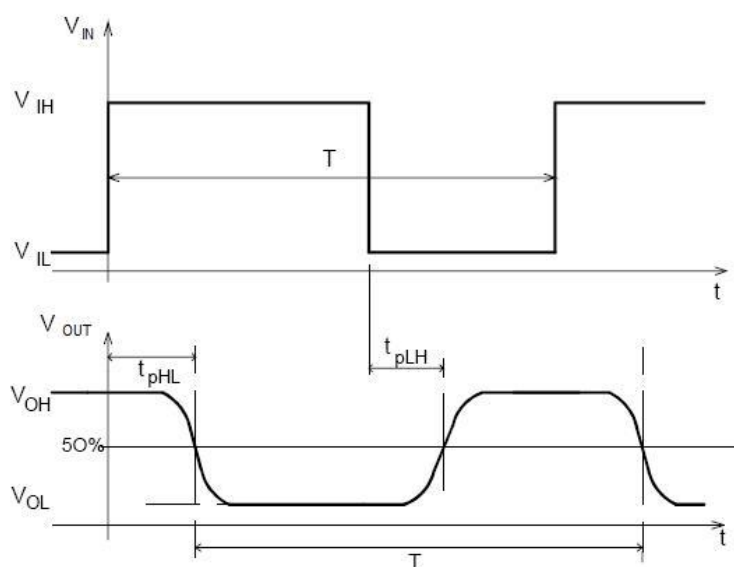
U idealnom slučaju $V_{OH} = V_{DD}$ i $V_{OL} = 0V$.

Margine šuma:

$$NM_H = V_{OH} - V_{IH}$$

$$NM_L = V_{IL} - V_{OL}$$

U vremenskom domenu kašnjenje izlaznog signala u odnosu na ulazni signal je definisano kao na slici:



t_{pHL} – kašnjenje izlaznog signala pri prelazu iz stanja visokog naponskog nivoa (logičke 1) u stanje niskog naponskog nivoa (logičke 0).

t_{pLH} – kašnjenje izlaznog signala pri prelazu iz stanja niskog naponskog nivoa (logičke 0) u stanje visokog naponskog nivoa (logičke 1).

Za rad je potrebno:

- Izvor naizmeničnih signala (signal generator ili generator impulsa), izvori jednosmernog napona, NMOSFET (BS107A) i PMOSFET (BS2108), otpornici 100 Ω , 500 Ω , 1K Ω , 10K Ω ili dekadna kutija, osciloskop, voltmetar, proto-pločica, žice i kablovi za povezivanje.

POLUPROVODNIČKE KOMPONENTE
Laboratorijske vežbe

Student: _____

Broj indeksa: _____

Datum: _____

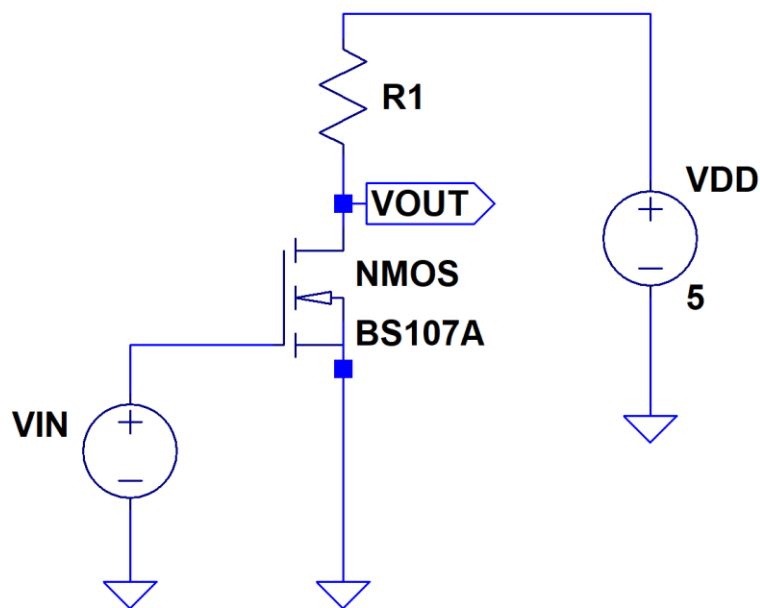
VEŽBA 6

MOS inverter

UPUTSTVO ZA RAD

NMOS inverter sa pasivnim opterećenjem

1) Konstruisati kolo NMOS invertora kao na slici.



2) Za vrednost otpornosti R1 postaviti promenljivu otpornost (dekadnu kutiju). Menjati njegovu vrednost na osnovu liste: 100Ω, 500Ω, 1kΩ, 10kΩ. Za svaku vrednost otpornosti menjati ulazni napon (VIN), očitati na unimeru napon na izlazu kola (VOUT) i popuniti priložene tabele.

R1=100Ω,

VIN (V)	0	0.5	1	1.5	1.6	1.7	1.8	1.9	2	2.1	2.2	2.3	2.4	2.5	3	3.5	4	4.5	5
VOUT (V)																			

R1=500Ω

VIN (V)	0	0.5	1	1.5	1.6	1.7	1.8	1.9	2	2.1	2.2	2.3	2.4	2.5	3	3.5	4	4.5	5
VOUT (V)																			

R1=1kΩ

VIN (V)	0	0.5	1	1.5	1.6	1.7	1.8	1.9	2	2.1	2.2	2.3	2.4	2.5	3	3.5	4	4.5	5
VOUT (V)																			

R1=10kΩ

VIN (V)	0	0.5	1	1.1	1.2	1.3	1.4	1.5	1.6	1.7	1.8	1.9	2	2.5	3	3.5	4	4.5	5
VOUT (V)																			

- 3) Na istom grafiku nacrtati dobijene zavisnosti izlaznog napona VOUT od vrednosti napona VIN za svaku vrednost otpornosti R1 (prenosne karakteristike invertora).

Za koju najmanju vrednost otpornika R1 iz liste se može smatrati da kolo radi kao invertor?

R1min=_____.

Odrediti margine šuma ovog NMOS invertora za R1=10kΩ.

V_{IL} = _____

V_{IH} = _____

V_{OL} = _____

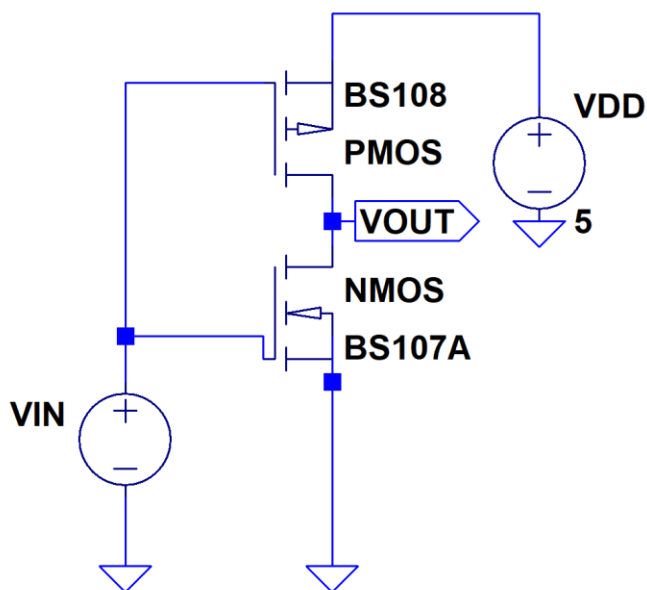
V_{OH} = _____

NM_L = _____

NM_H = _____

CMOS invertor

- 1) Umesto otpornika R1 postaviti PMOS tranzistor tako da se formira kolo CMOS invertora kao na slici.



- 2) Menjati ulazni napon (VIN), očitati na unimeru napon na izlazu kola (VOUT) i popuniti priloženu tabelu.

VIN(V)	0	0.5	1	1.5	1.6	1.7	1.75	1.76	1.77	1.78	1.79	1.8	1.81	1.82	1.83	1.84
VOUT(V)																

VIN(V)	1.85	1.9	2	2.5	3	3.5	4	4.5	5
VOUT(V)									

- 3) Nacrtati dobijenu zavisnost izlaznog napona od vrednosti napona VIN (prenosna karakteristika invertora).

Odrediti margine šuma ovog CMOS invertora.

$V_{IL} =$ _____

$V_{IH} =$ _____

$V_{OL} =$ _____

$V_{OH} =$ _____

$NM_L =$ _____

$NM_H =$ _____

Vremenski odziv CMOS invertora

- 1) Postaviti signal generator na ulaz VIN i setovati tako da daje pravougaone impulsne signale amplitude 5V, frekvence $f=50\text{kHz}$ sa faktorom ispune signala 50%.
- 2) Posmatrati na osciloskopu napon na ulazu (VIN) i napon na izlazu kola (VOUT).
- 3) Uočiti razliku između ova dva signala.
- 4) Odrediti t_{pHL} – kašnjenje izlaznog signala pri prelazu iz logičke 1 u logičku 0 i t_{pLH} – kašnjenje izlaznog signala pri prelazu iz logičke 0 u logičku 1.

$t_{pHL} =$ _____

$t_{pLH} =$ _____

- 5) KRAJ