

# Digitalna mikroelektronika

Z. Prijić

Elektronski fakultet Niš  
Katedra za mikroelektroniku

Predavanja 2007.



# Deo I

## Tehnologije logičkih kola



# Tehnologije logičkih kola

- 1 CMOS i TTL kola
- 2 CMOS logička kola
- 3 TTL logička kola



# Tehnologije logičkih kola

- CMOS (Complementary MOS)
- DTL (Diode-Transistor Logic)
- TTL (Transistor-Transistor Logic)
- STTL (Schottky TTL)
- ECL (Emitter-Coupled Logic)
- BiCMOS (Bipolar-CMOS)



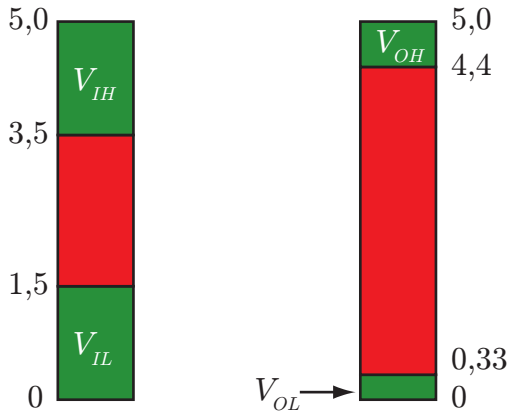
# Logički nivoi CMOS kola

CMOS logička kola se proizvode u verzijama sa sledećim naponima napajanja:

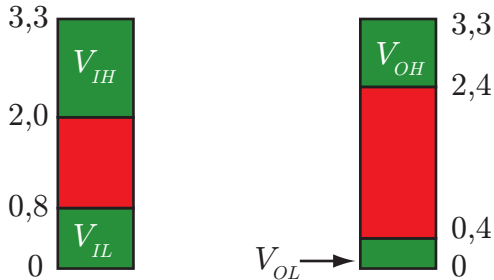
- 5V
- 3,3V
- 2,5V
- 1,2V



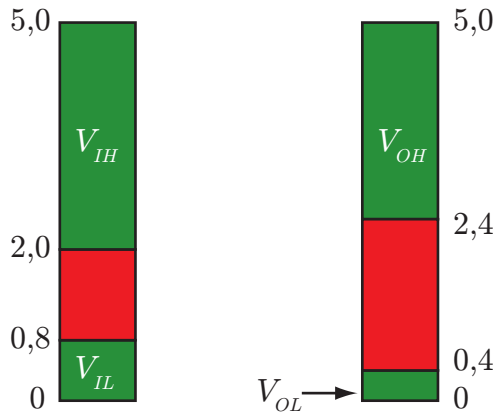
# Logički nivoi 5V CMOS kola



# Logički nivoi 3,3V CMOS kola



# Logički nivoi TTL kola





# Margine šuma

- 5V CMOS:

$$NM_H = 4,4 - 3,5 = 0,9V$$

$$NM_L = 1,5 - 0,33 = 1,17V$$

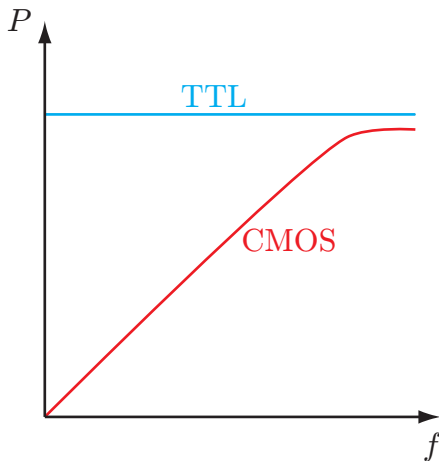
- TTL:

$$NM_H = 2,4 - 2,5 = 0,4V$$

$$NM_L = 0,8 - 0,4 = 0,4V$$



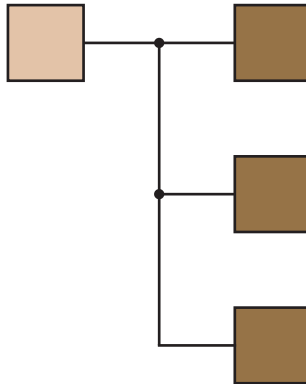
# Zavisnost disipacije snage od učestanosti



# Fan-out

Broj opteretnih kola koja se mogu vezati na izlaz pobudnog kola bez narušavanja njegovih performansi

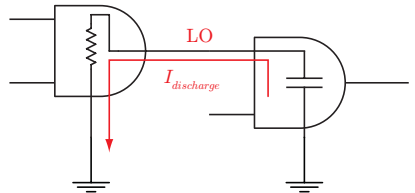
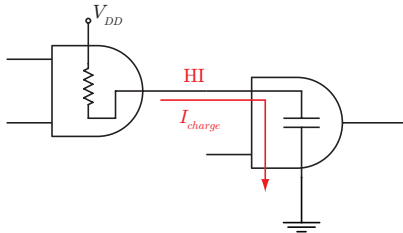
Pobudno kolo  
(Driving gate)



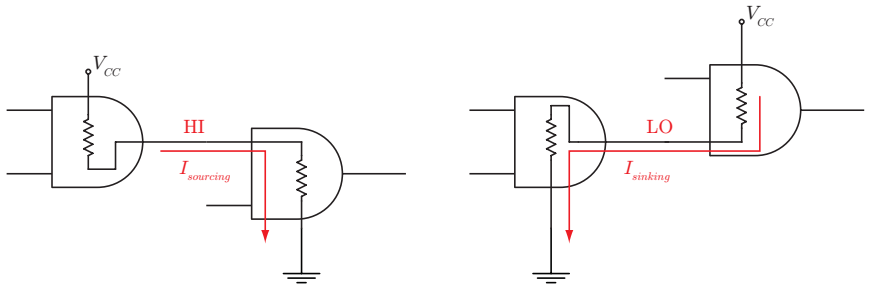
Opteretna kola  
(Loading gates)



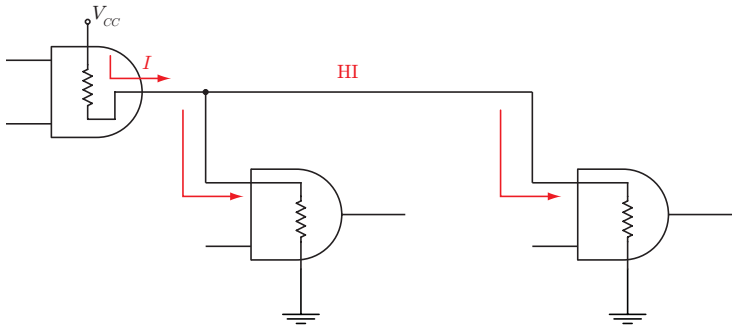
# Opterećenje CMOS logičkih kola



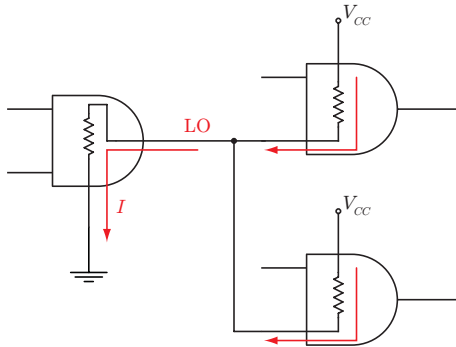
# Opterećenje TTL logičkih kola



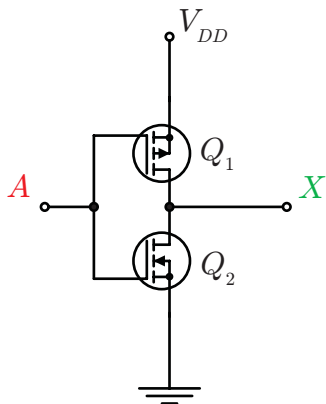
# Opterećenje TTL logičkih kola



# Opterećenje TTL logičkih kola

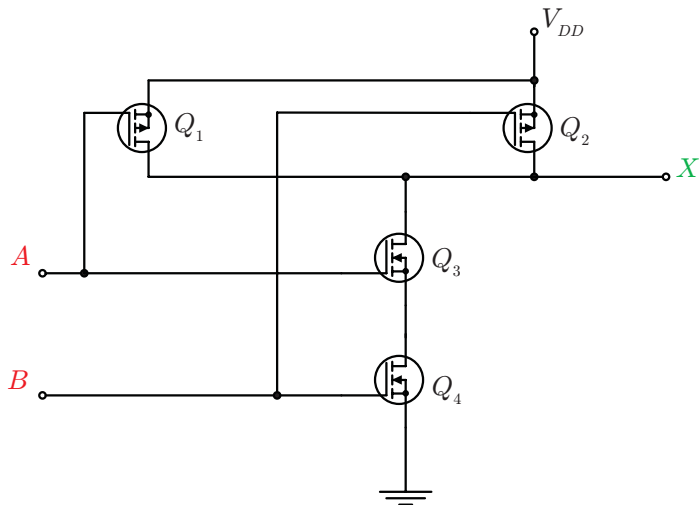


# CMOS invertor





# CMOS NI kolo



# CMOS NI kolo

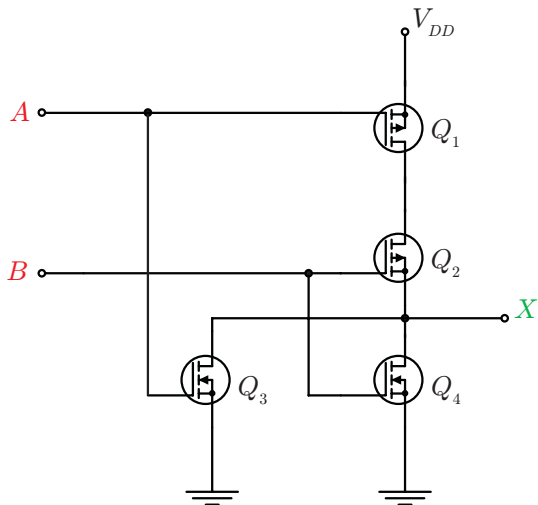
## Tablica istinitosti

<i>A</i>	<i>B</i>	$Q_1$	$Q_2$	$Q_3$	$Q_4$	<i>X</i>
L	L	S	S	C	C	H
L	H	S	C	C	S	H
H	L	C	S	S	C	H
H	H	C	C	S	S	L

- S - tranzistor je u zasićenju (*Saturation*)
- C - tranzistor je u zakočenju (*Cut-off*)



# CMOS NILI kolo



# CMOS NILI kolo

## Tablica istinitosti

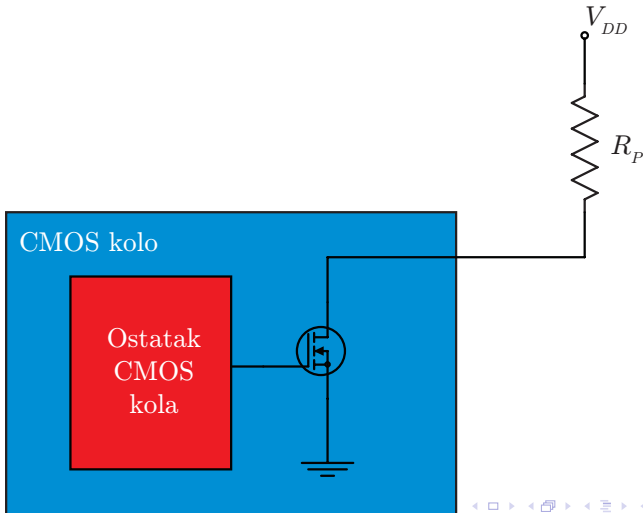
<i>A</i>	<i>B</i>	<i>Q</i> <sub>1</sub>	<i>Q</i> <sub>2</sub>	<i>Q</i> <sub>3</sub>	<i>Q</i> <sub>4</sub>	<i>X</i>
<i>L</i>	<i>L</i>	<i>S</i>	<i>S</i>	<i>C</i>	<i>C</i>	<i>H</i>
<i>L</i>	<i>H</i>	<i>S</i>	<i>C</i>	<i>C</i>	<i>S</i>	<i>L</i>
<i>H</i>	<i>L</i>	<i>C</i>	<i>S</i>	<i>S</i>	<i>C</i>	<i>L</i>
<i>H</i>	<i>H</i>	<i>C</i>	<i>C</i>	<i>S</i>	<i>S</i>	<i>L</i>

- *S* - tranzistor je u zasićenju (*Saturation*)
- *C* - tranzistor je u zakočenju (*Cut-off*)



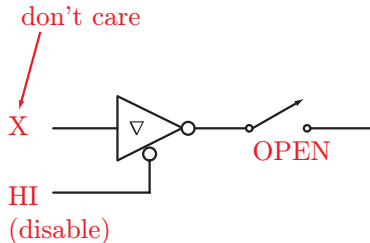
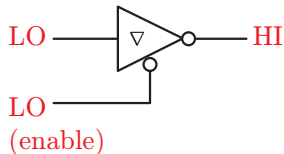
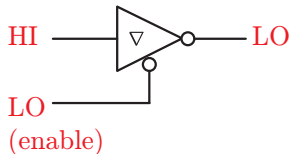
# CMOS logička kola

Otvoreni drejn se povezuje sa napajanjem preko *pull-up* otpornika



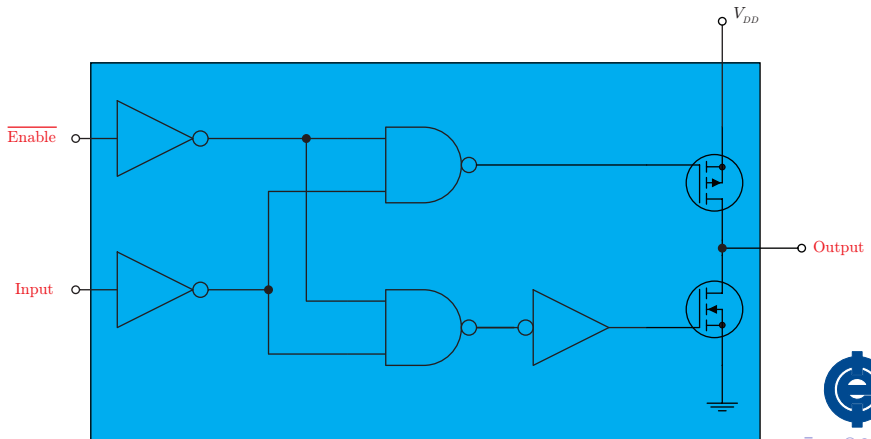
# CMOS logička kola sa tri stanja (*Tristate CMOS*)

Treće stanje na izlazu je stanje visoke impedanse (*High-Z*)



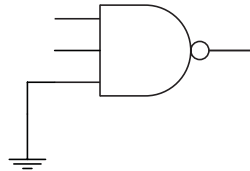
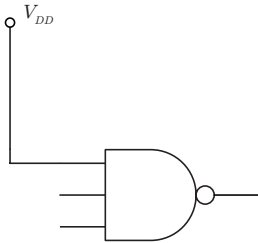
# CMOS invertor sa tri stanja

Kada je ulaz Enable u HIGH stanju oba tranzistora su isključena i izlaz je u High-Z stanju.



# CMOS logička kola

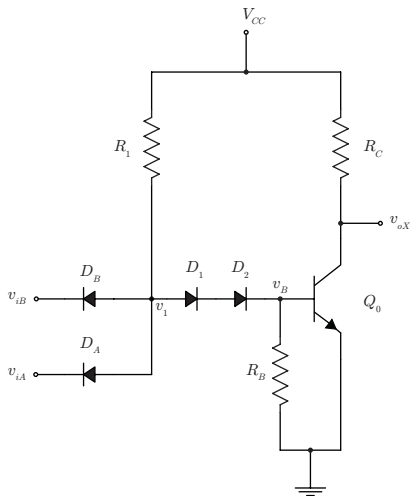
## Povezivanje neiskorišćenih ulaza





# TTL logička kola

## DTL NI kolo



# DTL NI kolo

## Princip rada

$V_\gamma$	0,7V	Napon provođenja diode
$V_{BE(on)}$	0,7V	Napon provođenja spoja baza-emitor
$V_{BE(sat)}$	0,8V	Za tranzistor u zasićenju
$V_{CE(sat)}$	0,1V	Za tranzistor u zasićenju

Kada su  $v_{iA}$  i  $v_{iB}$  na nivou logičke nule, diode  $D_A$  i  $D_B$  su direktno polarisane preko otpornika  $R_1$  i izvora  $V_{CC}$ . Ako je  $v_{iA} = v_{iB} = 0,1V$ , tada je  $v_1 = 0,8V$ . Diode  $D_1$  i  $D_2$  ne vode jer, da bi vodile, napon  $v_B$  treba da bude  $-0,6V$ , što nije moguće u kolu. Pošto je  $v_B = 0$ , tranzistor  $Q_0$  je zakočen, pa je na izlazu logička jedinica, tj. napon  $V_{CC}$ .



# DTL NI kolo

## Princip rada

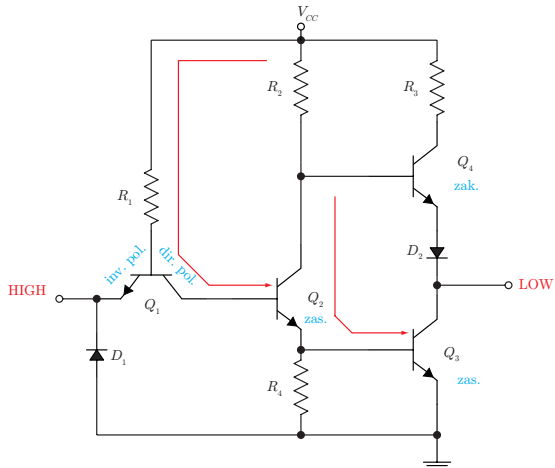
Kada su  $v_{iA}$  i  $v_{iB}$  na nivou jedinice ( $V_{CC}$ ), diode  $D_A$  i  $D_B$  ne vode. Diode  $D_1$  i  $D_2$  su direktno polarisane preko otpornika  $R_1$  i izvora  $V_{CC}$ . Tranzistor  $Q_0$  je u zasićenju (što se podešava otpornikom  $R_C$ ), pa je na izlazu logička nula, tj. napon  $V_{CE(sat)}$ .

Otpornik  $R_B$  naziva se *pull-down* otpornik i služi da ubrza prelazak tranzistora iz zasićenja u zakočenje, odvođenjem nagomilanih manjinskih nosilaca iz baze. Ovaj otpornik obezbeđuje provodni put za inverznu struju baze. Nedostatak je što, kada tranzistor vodi, ovaj otpornik smanjuje struju baze.



# TTL inverter

## Princip rada



# TTL inverter

## Princip rada

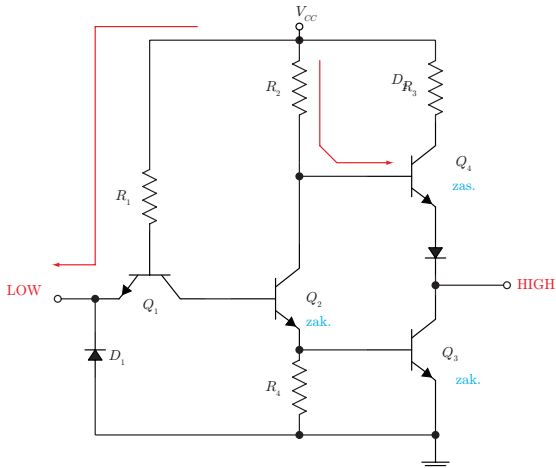
Kada je ulaz na nivou logičke jedinice, spoj BE tranzistora  $Q_1$  je inverzno polarisan, a spoj BC je direktno polarisan. Struja teče preko otpornika  $R_1$  i spoja BC tranzistora  $Q_1$  u bazu tranzistora  $Q_2$ , vodeći ga u zasićenje. Time je uključen tranzistor  $Q_3$ , pa je na izlazu logička nula. U isto vreme, napon na kolektoru tranzistora  $Q_2$  je dovoljno nizak da tranzistor  $Q_4$  bude u zakočenju.

Dioda  $D_1$  služi da spreči pojavu naponskih premašenja prilikom promena napona na ulazu i itme štiti tranzistor  $Q_1$ . Dioda  $D_2$  obezbeđuje da tranzistor  $Q_2$  bude isključen.



# TTL inverter

## Princip rada



# TTL inverter

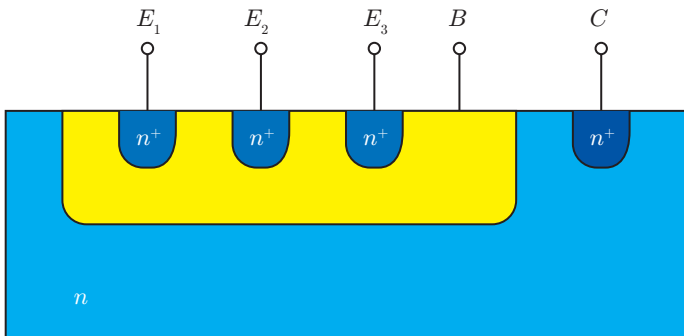
## Princip rada

Kada je ulaz na nivou logičke nule, spoj BE tranzistora  $Q_1$  je direktno polarisan, a spoj BC je inverzno polarisan. Struja teče preko otpornika  $R_1$  i spoja BE tranzistora  $Q_1$  prema ulazu, tako da je tranzistor  $Q_2$  zakočen. Time je zakočen i tranzistor  $Q_3$ . Napon na kolektoru tranzistora  $Q_2$  je dovoljno visok da tranzistor  $Q_4$  bude u zasićenju, pa je na izlazu logička jedinica.



# TTL logička kola

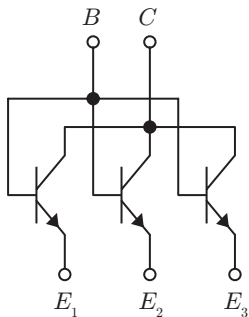
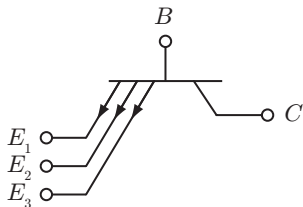
## Tranzistor sa više emitora



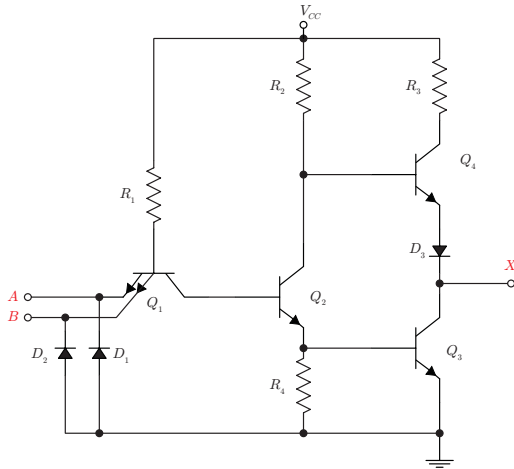


# TTL logička kola

## Tranzistor sa više emitora

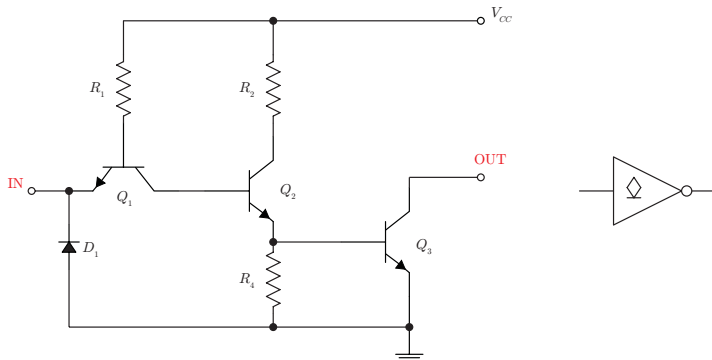


# TTL NI kolo



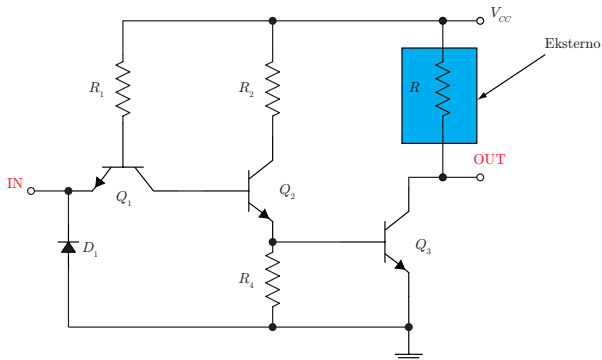
# TTL inverter

Kolo sa otvorenim kolektorom

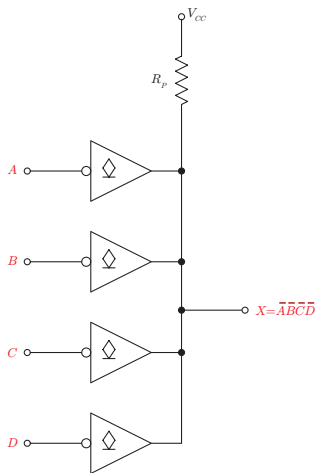


# TTL inverter

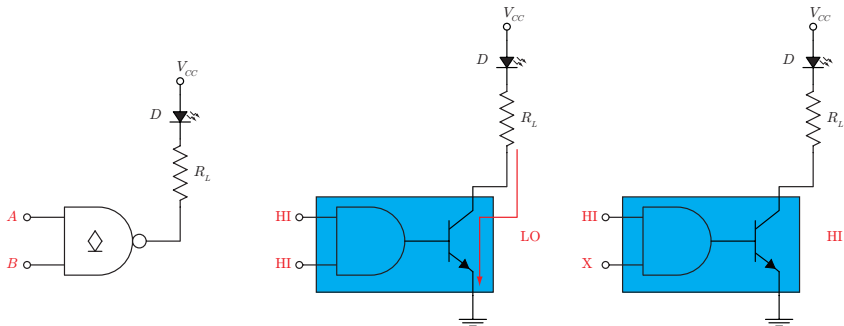
Kolo sa eksternim pull-up otpornikom



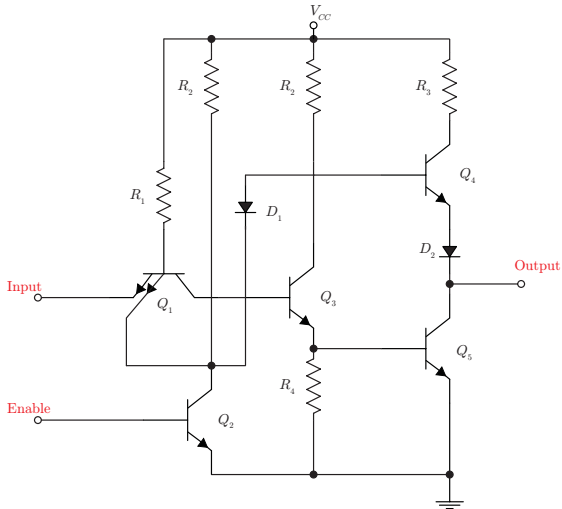
# TTL negativno-I kolo u konfiguraciji otvorenog kolektora



# TTL - LED



# TTL inverter sa tri stanja



## TTL inverter sa tri stanja

Kada je na *Enable* ulazu logička nula, tranzistor  $Q_2$  je zakočen i kolo radi kao standardni TTL inverter. Kada je na *Enable* ulazu logička jedinica, tranzistor  $Q_2$  vodi, pa je na drugom emitoru tranzistora  $Q_1$  nizak naponski nivo, što direktno polariše diodu  $D_1$ , preko koje se isključuje tranzistor  $Q_4$ . U tom slučaju su isključeni i tranzistori  $Q_3$  i  $Q_5$ , pa je izlaz u stanju visoke impedanse.







# TTL logička kola

## Povezivanje neiskorišćenih ulaza

