

Digitalna mikroelektronika

Z. Prijić

Elektronski fakultet Niš
Katedra za mikroelektroniku

Predavanja 2007.



Bistabilne memorijske jedinice

Multivibratori

Bistabilne memorijske jedinice su elektronska kola koja imaju dva stabilna stanja koja se u digitalnoj mikroelektronici nazivaju SET i RESET. Dva osnovna tipa ovih jedinica su:

- 1 *Latch* (Bravica)
- 2 *Flip-flop*

Osnovna razlika između tipova je u metodi koji se koristi za promenu stanja.



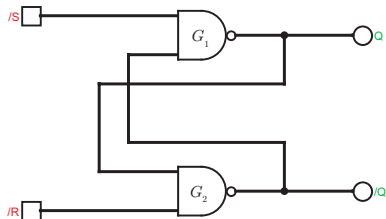
Sadržaj

- 1 Bistabilne memorijske jedinice
 - Latch
 - Flip-flop
 - Primene flip-flopa

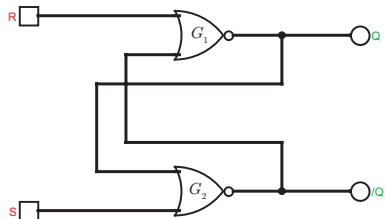


S-R Latch

Set-Reset Latch



Active LOW



Active HIGH



S-R Latch

Active LOW konfiguracija (\overline{S} - \overline{R} latch)

- 1 Neka su u početnom trenutku oba ulaza i izlaz G_1 na nivou HIGH. To znači da je izlaz G_2 na LOW. Latch se nalazi u SET stanju. Ovakvo stanje se zadržava sve dok se na \overline{R} ulazu ne pojavi LOW.
- 2 Kada se na \overline{R} pojavi LOW, na izlazu G_2 se pojavljuje HIGH, što znači da će se, preko povratne sprege, HIGH pojaviti i na ulazu G_1 . Pošto je ulaz \overline{S} na nivou HIGH, to izlaz G_1 postaje LOW što se, preko povratne sprege, prenosi na ulaz G_2 . Time se izlaz G_2 postavlja na nivo HIGH i tako ostaje i po prestanku delovanja LOW na ulazu \overline{R} . Latch se nalazi u RESET stanju, sve dok se na \overline{S} ulazu ne pojavi LOW.



S-R Latch

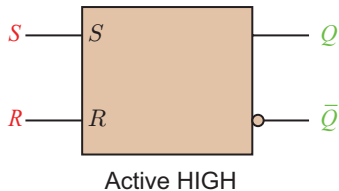
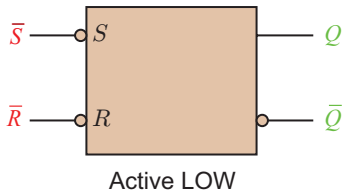
Active LOW konfiguracija

- Kada se i na \bar{R} i na \bar{S} ulazima u isto vreme pojavi LOW, na oba izlaza se pojavljuje HIGH, što je narušavanje logičke funkcije komplementarnosti izlaza. Isto se događa i u slučaju da LOW istovremeno nestane sa \bar{R} i na \bar{S} ulaza. S obzirom na propagaciono kašnjenje kola jedan od izlaza će prvi otići na LOW, što znači da nije moguće pouzdano predvideti sledeće stanje latch-a.



S-R Latch

Logički simboli

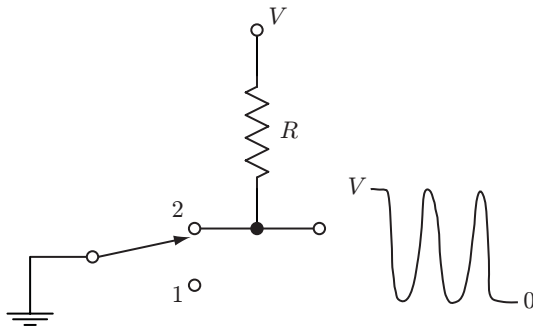


Primer kola: 74LS279.



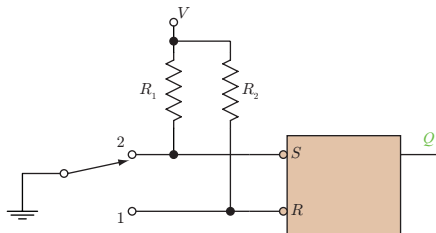
Primer primene S-R latch-a

Stabilizacija napona nakon zatvaranja mehaničkog prekidača



Primer primene S-R latch-a

Stabilizacija napona nakon zatvaranja mehaničkog prekidača



HIGH



LOW



prekidač

1 → 2

2 → 1



Primer primene S-R latch-a

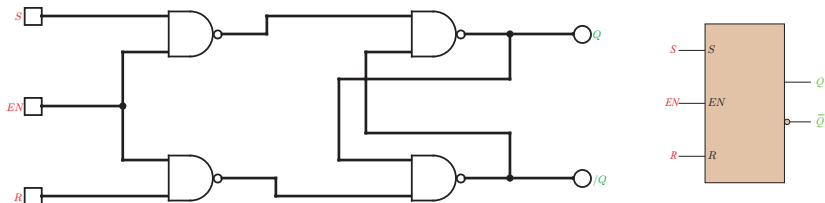
Stabilizacija napona nakon zatvaranja mehaničkog prekidača

Kada je prekidač u položaju 1 ulaz \bar{R} je na nivou LOW i latch je u stanju RESET. Kada se prekidač prebaci u položaj 2, ulaz \bar{R} se podiže na nivo HIGH preko pull-up otpornika, dok se ulaz \bar{S} za trenutak spušta na nivo LOW. Ovo je dovoljno da latch dođe u stanje SET u kome ostaje sve do ponovnog prebacivanja prekidača u položaj 1.



S-R Latch

Gated S-R Latch

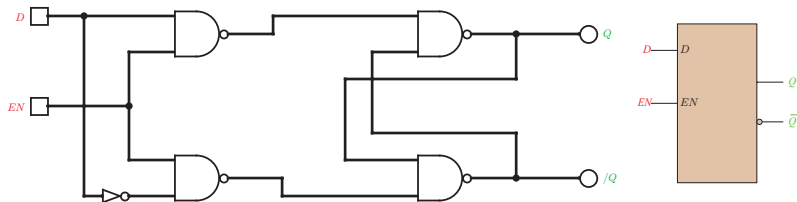


Ulaz EN treba da bude HIGH da bi latch menjao stanje. Kada su S i R istovremeno na nivou HIGH dolazi do narušavanja logičke funkcije.



D Latch

Gated D Latch



Ulaz EN treba da bude HIGH da bi latch menjao stanje. Kada je ulaz D na nivou HIGH, tada je i izlaz Q na nivou HIGH (stanje SET). Kada je ulaz D na nivou LOW, tada je i izlaz Q na nivou LOW (stanje RESET). Primer kola: 74LS75.



Sadržaj

- 1 Bistabilne memorijske jedinice
 - Latch
 - Flip-flop
 - Primene flip-flopa



Flip-flop

Flip-flop je sinhroni bistabilni multivibrator. Ovakvo kolo, pored S i R ulaza, ima dodatni kontrolni ulaz C na koji dolazi okidački (*triggering*) impuls koji se naziva *clock* (CLK). Stanje na izlazu se menja sinhrono sa nailaskom okidačkog impulsa.

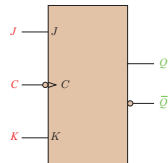
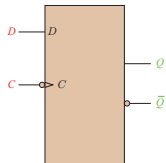
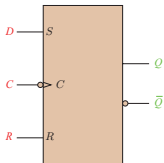
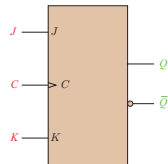
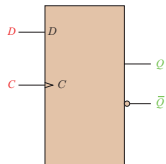
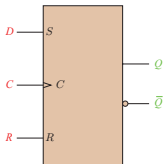
Ivično okidani (*edge-triggered*) flip-flop stanje na izlazu menja ili na prednjoj ili na zadnjoj ivici okidačkog impulsa. Flip-flop može biti:

- 1 S-R (ne postoji u integrisanim kolima)
- 2 D
- 3 J-K

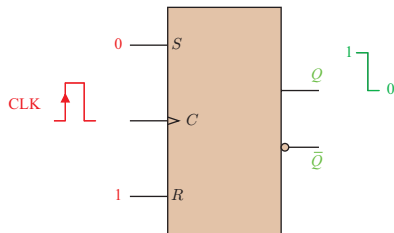
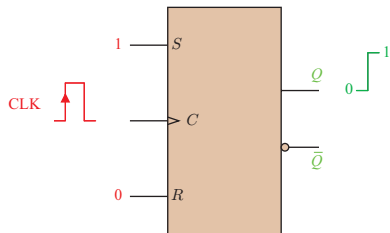


Flip-flop

Logički simboli



Ivično okidani S-R flip-flop

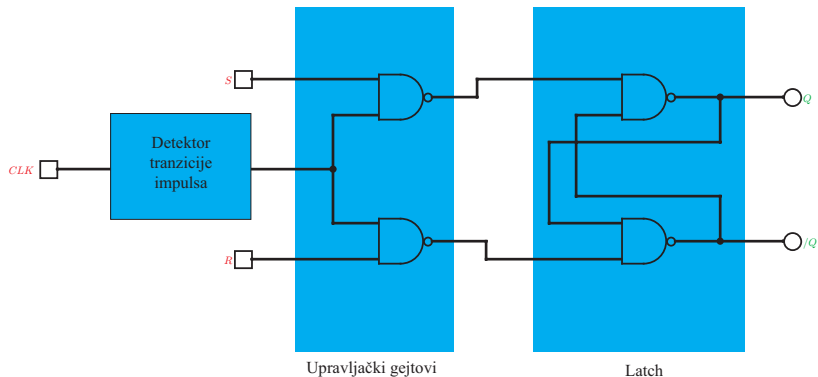


- Kada su i S i R ulazi na nivou logičke nule flip-flop ne menja stanje, bez obzira na CLK impuls.
- Kada su i S i R ulazi na nivou logičke jedinice dolazi do narušavanja logičke funkcije.



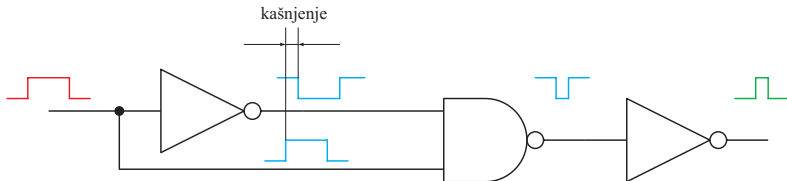
Ivično okidani S-R flip-flop

Blok djagram



Ivično okidani S-R flip-flop

Detektor tranzicije impulsa

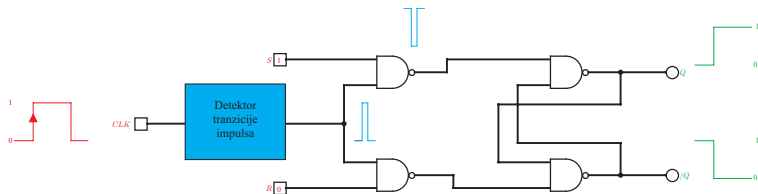


Širina impulsa na izlazu NI kola odgovara vremenu kada su oba signala na njegovom ulazu na nivou HIGH, što je posledica kašnjenja signala zbog prolaska kroz prethodni invertor.



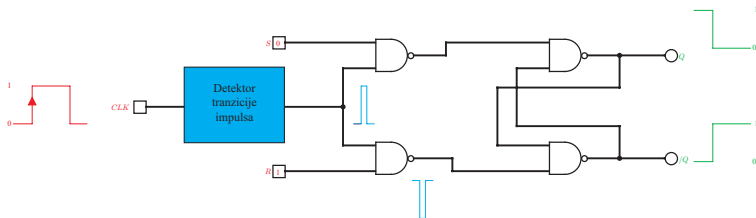
Ivično okidani S-R flip-flop

Prelazak flip-flopa iz stanja RESET u stanje SET



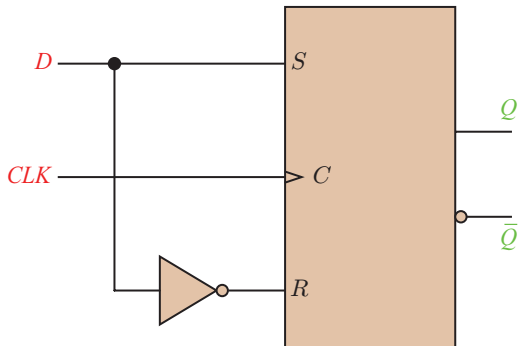
Ivično okidani S-R flip-flop

Prelazak flip-flopa iz stanja SET u stanje RESET



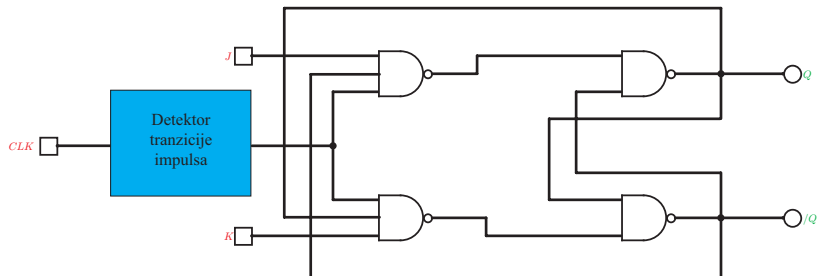
Ivično okidani D flip-flop

Kada je D na nivou HIGH, nailazak CLK impulsa flip-flop postavlja u stanje SET.



Ivično okidani J-K flip-flop

Veoma često korišćen



Ivično okidani J-K flip-flop

Tablica istinitosti

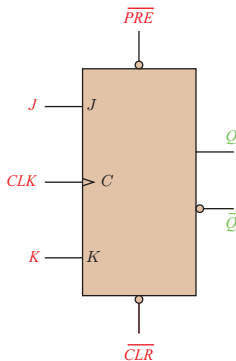
J	K	CLK	Q	\bar{Q}	Stanje
0	0	\uparrow	Q_0	\bar{Q}_0	Bez promene
0	1	\uparrow	0	1	RESET
1	0	\uparrow	1	0	SET
1	1	\uparrow	\bar{Q}_0	Q_0	Zamena (<i>Toggle</i>)

Q_0 je izlazni nivo pre nailaska CLK impulsa (prethodno stanje).



Ivično okidani J-K flip-flop

J-K flip-flop sa asinhronim ulazima

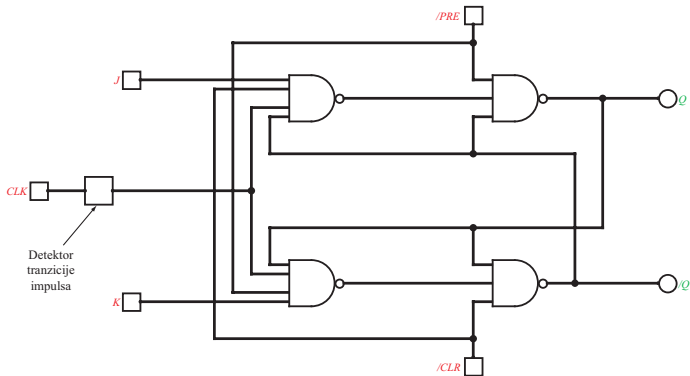


Ulaz \overline{PRE} služi sa dovodenje flip-flopa u stanje SET, a ulaz \overline{CLR} u stanje RESET, **nezavisno** od CLK impulsa.



Ivično okidani J-K flip-flop

J-K flip-flop sa asinhronim ulazima

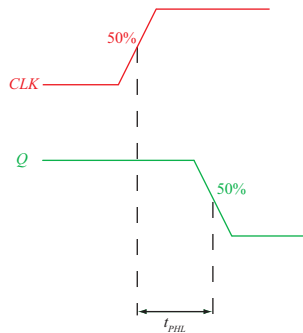
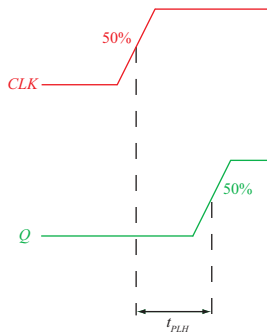


Primer kola: 74AHC74



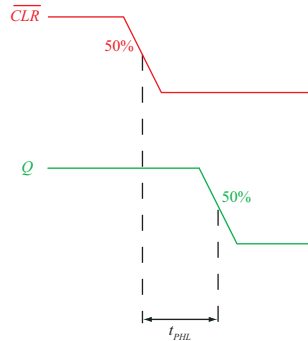
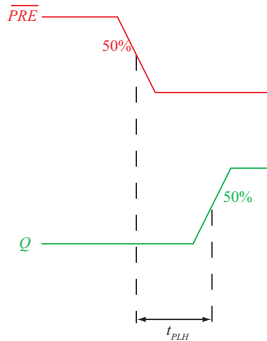
Vremenske konstante flip-flopa

Propagaciono kašnjenje



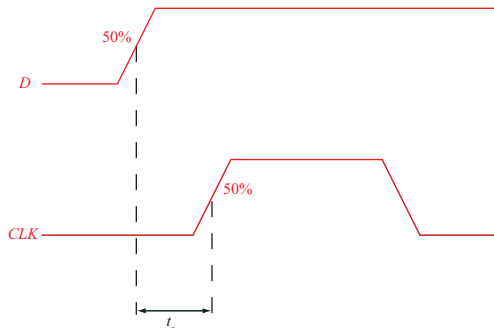
Vremenske konstante flip-flopa

Propagaciono kašnjenje



Vremenske konstante flip-flopa

Vreme uspostavljanja (*Set-up time*)

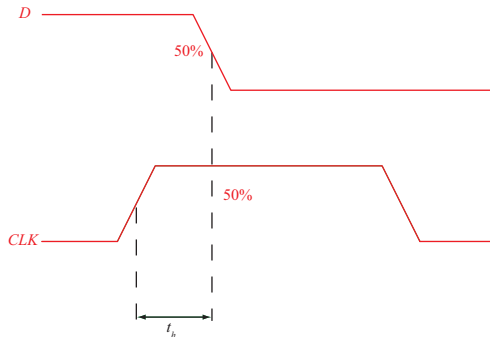


Vreme prisustva logičke jedinice na ulazu D mora biti $\geq t_s$ pre pojave prednje ivice CLK impulsa, da bi flip-flop radio pouzdano.



Vremenske konstante flip-flopa

Vreme zadržavanja (*Hold time*)



Logička jedinica na ulazu D mora ostati za vreme $\geq t_h$ nakon pojave prednje ivice CLK impulsa, da bi flip-flop radio pouzdano.



Električne karakteristike flip-flopa

- Maksimalna učestanost CLK impulsa (f_{max})
- Minimalna širina impulsa CLK , \overline{PRE} , \overline{CLR} (t_w)
- Disipacija snage $P = V_{CC} \times I_{CC}$

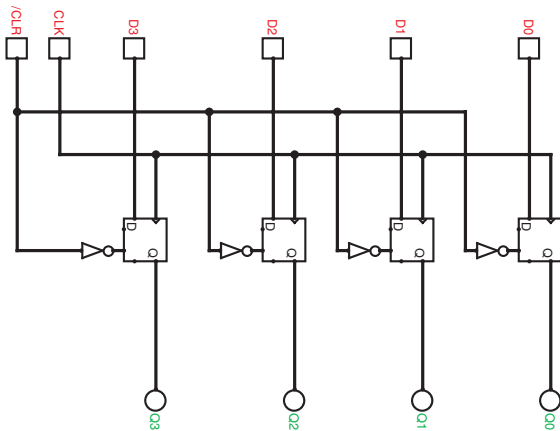


Sadržaj

- 1 Bistabilne memorijske jedinice
 - Latch
 - Flip-flop
 - Primene flip-flopa

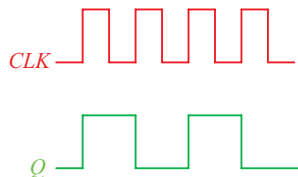
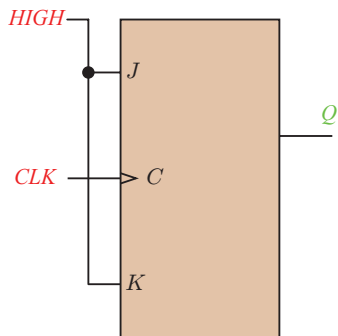


Paralelno skladištenje podataka



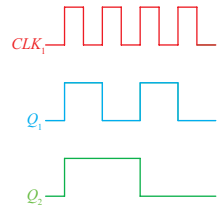
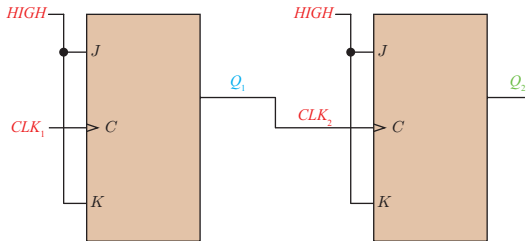
Deljenje učestanosti

Učestanost Q je dva puta manja od učestanosti CLK



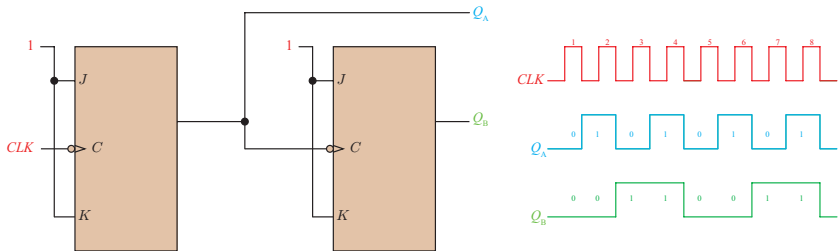
Deljenje učestanosti

Deljenje učestanosti brojem 2^n , pri čemu je n broj flip-flova



Brojanje

Oba flip-flopa su inicijalno u stanju RESET, a okidaju se na negativnoj ivici impulsa

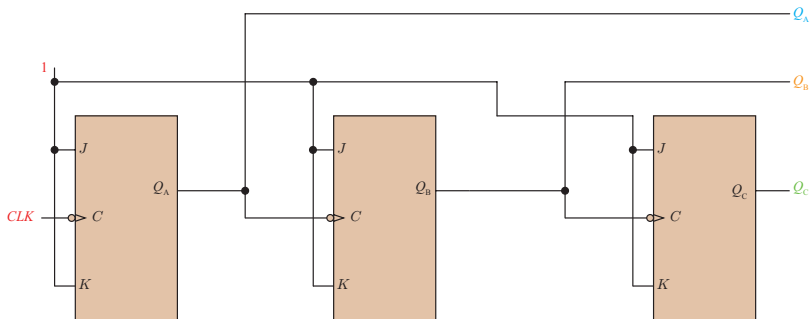


Sekvenca $Q_B Q_A$ uzima vrednosti 00, 01, 10 i 11 i to se ponavlja na svaka četiri CLK impulsa. To znači da brojač broji od 0 do 3.



Brojanje

Binarno brojanje od 0 do 7



Sekvenca $Q_C Q_B Q_A$ uzima vrednosti 000, 001, ..., 111 i to se ponavlja na svakih osam CLK impulsa.



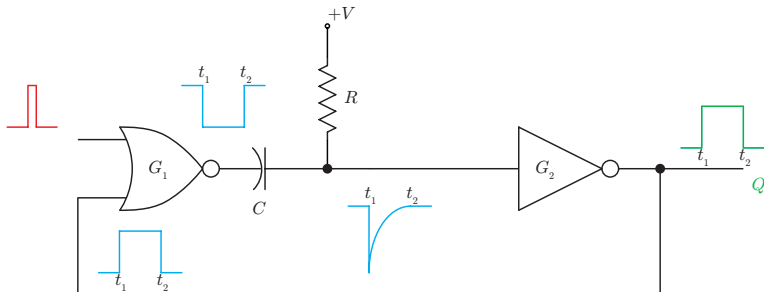
Monostabilni multivibrator

One shot

Monostabilni multivibrator ima samo jedno stabilno stanje u kome se normalno nalazi. Iz stabilnog stanja se izbacuje okidačkim impulsom. Nakon nailaska okidačkog impulsa multivibrator ulazi u „nestabilno“ stanje u kome provodi određeno vreme i ponovo se vraća u stabilno stanje. Vreme koje multivibrator provede u „nestabilnom“ stanju određuje trajanje impulsa koji se pojavljuje na njegovom izlazu.



Monostabilni multivibrator



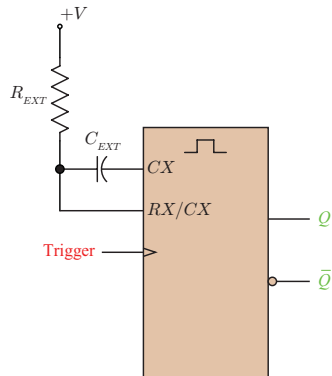
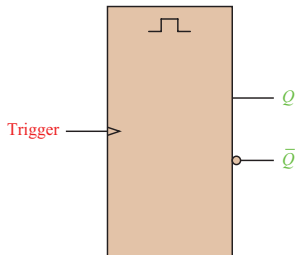
Monostabilni multivibrator

Kada se na okidački ulaz dovede impuls, izlaz NILI kola G_1 postaje LOW, što se preko kondenzatora C prenosi na ulaz invertora G_2 . Izlaz G_2 postaje HIGH i preko povratne sprege se prenosi na ulaz G_1 , što omogućava zadržavanje LOW nivoa na izlazu G_2 . Zbog toga kondenzator C počinje da se puni preko otpornika R . Kada se kondenzator napuni do nivoa koji ulaz G_2 detektuje kao HIGH, izlaz celog kola postaje *LOW*. Vreme trajanja HIGH impulsa na izlazu kola određeno je RC konstantom.



Monostabilni multivibrator

Logički simbol



Monostabilni multivibrator

Tipovi

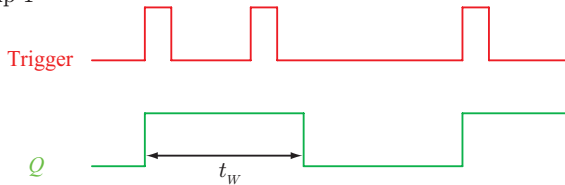
- 1 Monostabilni multivibrator sa fiksiranim ponovnim okidanjem (*nonretriggerable*): Nakon prvog okidačkog impulsa kolo neće reagovati na naredni okidački impuls sve dok se ne vrati u stabilno stanje.
- 2 Monostabilni multivibrator sa proizvoljnim ponovnim okidanjem (*retriggerable*): Nakon prvog okidačkog impulsa kolo će reagovati na svaki naredni okidački impuls, što rezultuje produžavanjem trajanja impulsa na izlazu.



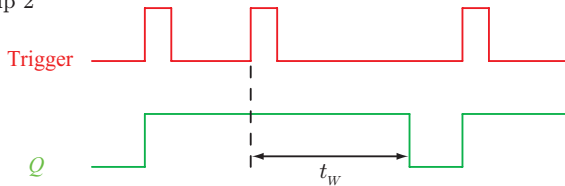
Monostabilni multivibrator

Tipovi

Tip 1

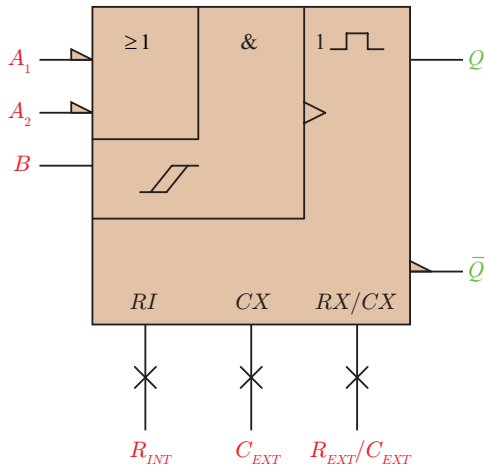


Tip 2



Monostabilni multivibrator

74121



Monostabilni multivibrator

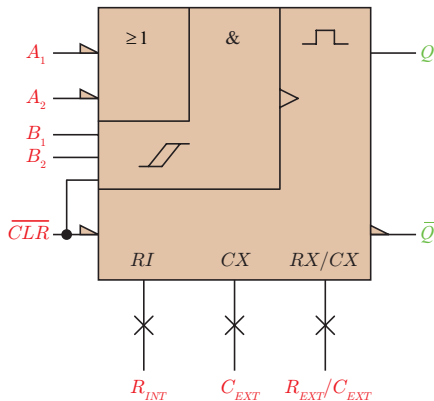
SN74121

- A_1 , A_2 i B su okidački ulazi. Ulaz B je ulaz u Šmitovo kolo i služi za pouzdano okidanje multivibratora i kada su promene ivica okidačkog impulsa spore.
- R_{INT} je interni otpornik vrednosti $2k\Omega$ i može se koristiti umesto eksternog otpornika.
- Simbol „×“ preko ulaznog pina označava da se radi o vezi koja nije logička.
- Broj 1 ispred simbola impulsa označava da se radi o multivibratoru sa fiksiranim ponovnim okidanjem.
- Vreme trajanja impulsa na izlazu je $t_W = 0,7R_{INT(EXT)}C_{EXT}$, pri čemu je R u $k\Omega$, a C u pF.



Monostabilni multivibrator

74LS122

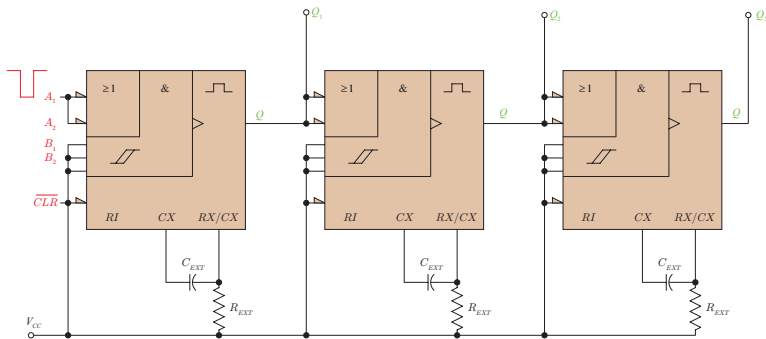


Multivibrator je sa proizvoljnim ponovnim okidanjem.



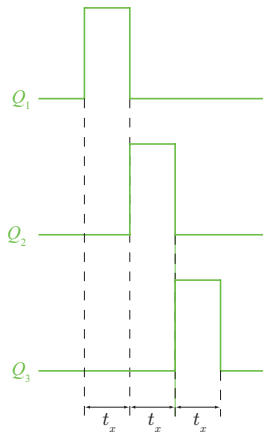
Monostabilni multivibrator

Primena 74LS122 - sekvencijalno vremensko kolo



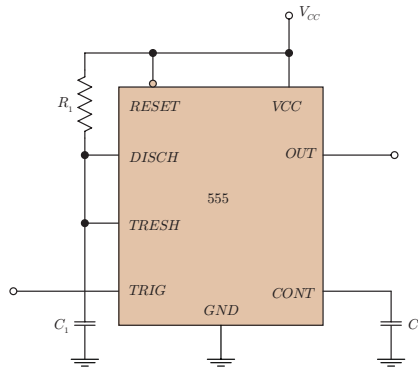
Monostabilni multivibrator

Primena 74LS122 - sekvencijalno vremensko kolo



555 tajmer

Monostabilni multivibrator

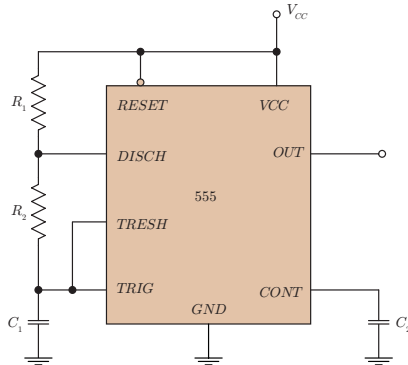


**NAPOMENA: POGLEDATI PREDAVANJA IZ PREDMETA
ANALOGNA MIKROELEKTRONIKA.**



555 tajmer

Astabilni multivibrator (oscilator)

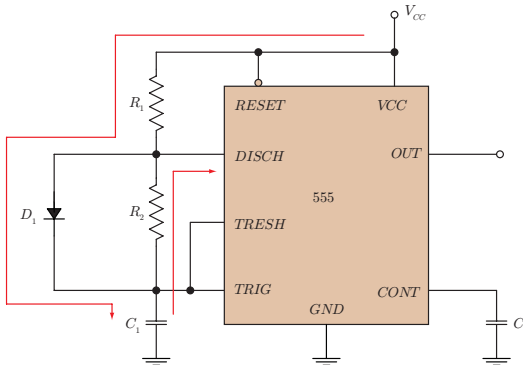


Učestanost oscilacija: $f = 1,44 / (R_1 + 2R_2)C_1$



555 tajmer

Astabilni multivibrator (oscilator) sa promenljivim faktorom iskorišćenja periode



$$\text{Duty cycle} = \left(\frac{R_1}{R_1 + R_2} \right) \cdot 100\%$$

